МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования

НИЖЕГОРОДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ

УНИВЕРСИТЕТ им. Р.Е.АЛЕКСЕЕВА

Институт радиоэлектроники и информационных технологий

ОТЧЕТ

по лабораторной работе №3

«Исследование реакции процессора на внешние сигналы прерывания.»

по дисциплине

Микропроцессорные системы

РУКОВОДИТЕЛЬ:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_ Киселёв Ю.Н.\_\_

(подпись) (фамилия, и.,о.)

СТУДЕНТ:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_ Сухоруков В.А.\_\_\_

(подпись) (фамилия, и.,о.)

\_\_\_\_\_\_\_19-В-2\_\_\_\_\_\_\_\_

(шифр группы)

Работа защищена «\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_

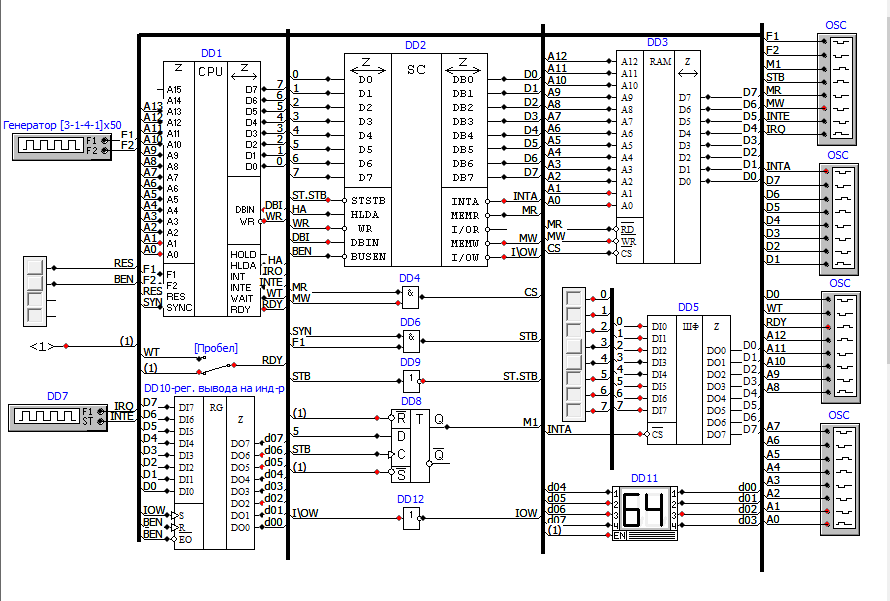
С оценкой \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Нижний Новгород 2021

# Цель

Изучение реакции процессора на внешние сигналы прерывания INT и READY путем получения и исследования временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении перехода на подпрограмму обслуживания прерывания Ready=1/0. А также анализ данных на ШД и ША в циклах перехода.

# Схема микро-ЭВМ на процессоре КР580ВМ80А



# Текст программы на ассемблере и в кодах процессора

Текст программы:

lxi sp, 200h

:m1

ei

mvi a, 32h

out 01h

jmp m1

skip 20h

mvi a, 64h

out 01h

ret

|  |  |  |
| --- | --- | --- |
| lxi sp, 200h | 0000h | 31 00 02 |
| ei | 0003h | FB |
| mvi a, 32h | 0004h | 3E 32 |
| out 01h | 0006h | D3 01 |
| jmp m1 | 0008h | C3 03 00 |
| mvi a, 64h | 0020h | 3E 64 |
| out 01h | 0022h | D3 01 |
| ret | 0024h | C9 |

# **Временные диаграммыC:\Users\Валерий\Desktop\Study\микропроцссоры\К 3-й л.раб\Без имени-1.png**

# Результаты считывания данных с ШД:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | STB1 | INTA | STB2 | MW1 | STB3 | MW2 |
| D7 / MR | 1 | 1 | 0 | 0 | 0 | 0 |
| D6 / IN | 1 | 1 | 0 | 0 | 0 | 0 |
| D5 / M1 | 1 | 0 | 0 | 0 | 0 | 0 |
| D4 / OUT | 1 | 1 | 0 | 0 | 0 | 0 |
| D3 / HALT | 0 | 0 | 0 | 0 | 0 | 0 |
| D2 / STACK | 1 | 1 | 1 | 0 | 1 | 1 |
| D1 / WR | 1 | 1 | 0 | 0 | 0 | 1 |
| D0 / INTA | 1 | 1 | 0 | 0 | 0 | 0 |
| Код | F7h | D7h | 04h | 00h | 04h | 06h |

# Комментарии к результатам считывания данных с шины данных.

INTA: чтение кода вектора прерывания

MW1: занесение старшего байта адреса в стек

MW2: занесение младшего байта адреса в стек

# Результаты считывания данных с ША:

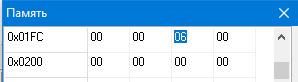
|  |  |  |  |
| --- | --- | --- | --- |
|  | INTA | MW1 | MW2 |
| A12 | 0 | 0 | 0 |
| A11 | 0 | 0 | 0 |
| A10 | 0 | 0 | 0 |
| A9 | 0 | 0 | 0 |
| A8 | 0 | 1 | 1 |
| А7 | 0 | 1 | 1 |
| А6 | 0 | 1 | 1 |
| А5 | 0 | 1 | 1 |
| А4 | 0 | 1 | 1 |
| А3 | 0 | 1 | 1 |
| А2 | 1 | 1 | 1 |
| А1 | 1 | 1 | 1 |
| А0 | 0 | 1 | 0 |
| Код | 0006h | 01FFh | 01FEh |

# Комментарии к результатам считывания данных с шины адреса.

По адресу 0006h записана команда, которая будет выполняться следующей.

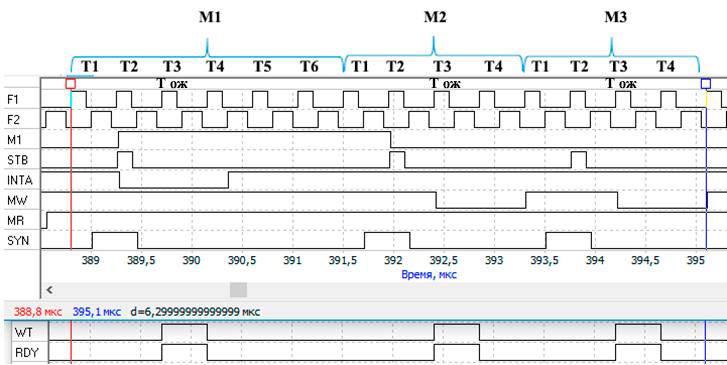
По адресу 01FFh записывается старший байт адреса возврата.

По адресу 01FEh записывается младший байт адреса возврата.



# Реакция микропроцессора КР580ВМ80А на сигнал READY.

Исследование сигнала READY производилось на команде INTA.



Микропроцессор анализирует сигнал READY в 2 такте каждого машинного цикла. Если READY = 0, то микропроцессор вводит такты ожидания, а также подтверждает ожидание сигналом WAIT.

Во время анализа в такте ожидания (третьем такте цикла) сигнал READY=1, поэтому микропроцессор продолжает выполнение машинного цикла.

Добавление такта ожидание увеличивает длительность управляющих сигналов MW и MR и сигналов на шине адреса, что позволяет внешним устройствам с медленной скоростью успевать за скоростью работы процессора.

# Вывод

В результате выполнения данной лабораторной работы была изучена реакция процессора на внешние сигналы прерывания INT и READY путем получения и исследования временных диаграмм, которые формирует процессор КР580ВМ80А.